

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06309052 A**(43) Date of publication of application: **04.11.94**

(51) Int. Cl.

**G05F 3/30**(21) Application number: **05120965**(71) Applicant: **NIPPON STEEL CORP**(22) Date of filing: **23.04.93**(72) Inventor: **ISHII HIDEKAZU**(54) **BAND GAP REGULATOR**

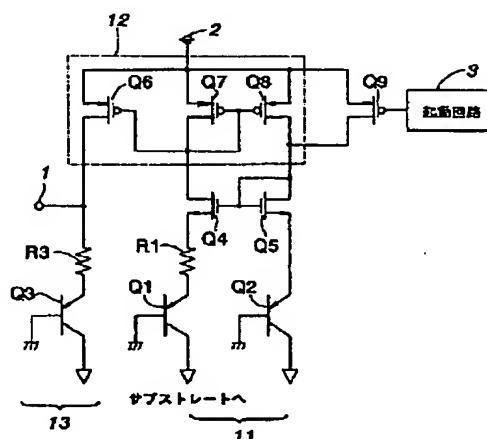
the output voltage is stabilized.

(57) Abstract:

COPYRIGHT: (C)1994,JPO

**PURPOSE:** To reduce an output noise and impedance by separating a current determining circuit and a voltage generating circuit and supplying a current from the current determining circuit to the voltage generating circuit through a current mirror circuit.

**CONSTITUTION:** The band gap regulator has the current determining circuit 11 which includes a positive feedback circuit and the voltage generating circuit 13 which generates a voltage by receiving the current determined by the current determining circuit 11 and is connected through the current mirror circuit 12. Thus, the current determining circuit 11 and voltage generating circuit 13 are separated and the voltage is generated with the current supplied from the current determining circuit 11 through the current mirror circuit 12 to remove a resistor used for voltage generation from the current determining circuit 11, thereby reducing the impedance of the current determining circuit 11. Consequently, the positive feedback rate can be lowered, the output noise is reduced, and the output impedance is also reduced, so



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-309052

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>

G 0 5 F 3/30

識別記号

庁内整理番号

4237-5H

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21)出願番号

特願平5-120965

(22)出願日

平成5年(1993)4月23日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 石井 英一

相模原市淵野辺5-10-1 新日本製鐵株

式会社エレクトロニクス研究所内

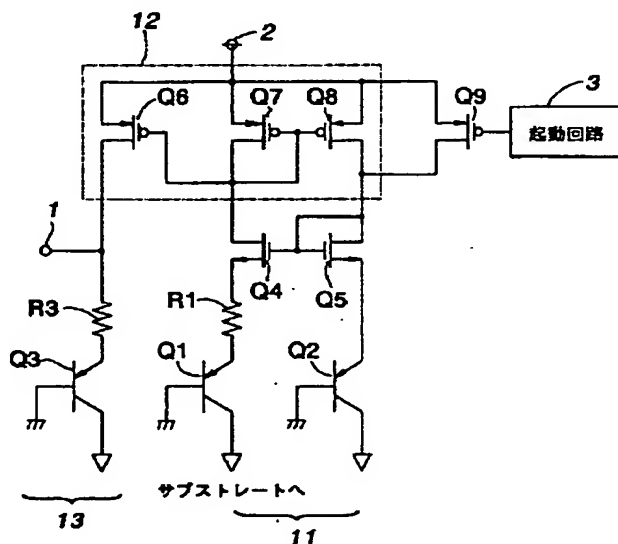
(74)代理人 弁理士 大島 陽一

(54)【発明の名称】 バンドギャップレギュレータ

(57)【要約】

【目的】 出力ノイズ及び出力インピーダンスが低減化されたバンドギャップレギュレータを提供する。

【構成】 電流決定回路と電圧発生回路とを分離し、この電流決定回路からカレントミラー回路を介して電圧発生回路に電流を供給する構成とすることで、電流決定回路に於けるインピーダンスを下げることができ、正帰還率を下げるができることから、出力ノイズが低減化され、出力インピーダンスも低減化する。従って、出力電圧が安定化する。



## 【特許請求の範囲】

【請求項1】 電源電圧よりも低い基準電圧を得るためのバンドギャップレギュレータであって、帰還回路を有する電流決定回路と、

前記電流決定回路により決定された電流を受けて電圧を発生するべく、前記電流決定回路に対してミラー回路を介して接続された電圧発生回路とを有し、前記電圧発生回路から外部に前記基準電圧を供給することを特徴とするバンドギャップレギュレータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電源電圧よりも低い基準電圧を発生するためのバンドギャップレギュレータに関するものである。

## 【0002】

【従来の技術】従来から、例えば5V単一電源によるA/Dコンバータ等に於ては、電源電圧よりも低い基準電圧が必要となり、この基準電圧を発生させるための回路として、所謂バンドギャップレギュレータが用いられていた。例えばCMOSプロセスからなる回路中に設けられたバンドギャップレギュレータの回路構成を図3に示す。パーティカル型のPNPトランジスタQ1のコレクタはサブストレートに接続され、ベースは基準電位に接続されている。また、エミッタは電圧発生用の抵抗R1を介してNchトランジスタQ4のソースに接続されている。NchトランジスタQ4のゲートは、同様なNchトランジスタQ5のゲートに接続されている。NchトランジスタQ5のソースは抵抗R2を介してPNPトランジスタQ2のエミッタに接続されている。このPNPトランジスタQ2のベースは基準電位に接続され、コレクタはサブストレートに接続されている。尚、NchトランジスタQ5と抵抗R2との間には出力端子1が設けられている。

【0003】ここで、PNPトランジスタQ2のエミッタ面積はPNPトランジスタQ1のエミッタ面積のN倍(N=2~30)となっている。抵抗R1は抵抗R2よりもやや大きくなっている。また、各PNPトランジスタQ1、Q2のエミッタ周辺のフィールドプレートには、チャネル電流が発生しないようにエミッタ電圧が印加されている。

【0004】一方、NchトランジスタQ4のドレインは、PchトランジスタQ7のドレイン、ゲート及びPchトランジスタQ8のゲートに接続されている。PchトランジスタQ5のドレインはそのゲート、NchトランジスタQ8のドレイン及びNchトランジスタQ4のゲートに接続されると共にPchトランジスタQ9のドレインに接続されている。また、PchトランジスタQ7、Q8、Q9のソースは、電源2に接続されており、Q9のゲートは起動回路3に接続されている。

【0005】上記したようなバンドギャップレギュレー

タを作動させるには、まず起動回路2によってPchトランジスタQ9のゲートに電圧を印加して回路全体を起動させる。すると、出力端子1を介して外部に基準電圧が供給されるようになる。

【0006】上記したようなバンドギャップレギュレータに於ては、NchトランジスタQ4、Q5の部分で正帰還をかけるようになっており、トランジスタQ1、Q2及び抵抗R1、R2のインピーダンスが正帰還される際にノイズとして出力信号に影響する。ここで、Kをボルツマン定数、Tを温度(°K)、Bをバンド幅として、抵抗R1の雑音電圧V<sub>nR1</sub>、V<sub>nR2</sub>は、

【0007】

【数1】

$$V_{nR1} = \sqrt{4 \cdot K \cdot T \cdot R1 \cdot B}$$

$$V_{nR2} = \sqrt{4 \cdot K \cdot T \cdot R2 \cdot B}$$

【0008】となる。これは正帰還により増幅されて出力端子1に於ける雑音電圧V<sub>n</sub>はqを電荷の値として、

【0009】

【数2】

$$V_n = \frac{R1 + \frac{K \cdot T \cdot R1}{0.6V \cdot q}}{R1 - R2} \cdot \sqrt{4 \cdot K \cdot T \cdot (R1 + R2) \cdot B}$$

【0010】となる。例えば、R1=66kΩ、R2=60kΩ、N=10、T=300°Kとすると、

【0011】

【数3】

$$V_n = \sqrt{4 \cdot K \cdot T \cdot (13715k\Omega) \cdot B}$$

【0012】となり、出力インピーダンスR<sub>out</sub>は、

【0013】

【数4】

$$R_{out} = \frac{\left( R1 + \frac{K \cdot T \cdot R1}{0.6V \cdot q} \right) \cdot \left( R2 + \frac{K \cdot T \cdot R1}{0.6V \cdot q} \right)}{R1 - R2}$$

【0014】と非常に高い値となっていた。従って、このノイズ及び出力インピーダンスを低減するための構造が望まれていた。

【0015】

【発明が解決しようとする課題】本発明は上記したような従来技術の問題点に鑑みなされたものであり、その主な目的は、出力ノイズ及び出力インピーダンスが低減化されたバンドギャップレギュレータを提供することにある。

【0016】

【課題を解決するための手段】上記した目的は本発明によれば、電源電圧よりも低い基準電圧を得るためのバンドギャップレギュレータであって、帰還回路を有する電流決定回路と、前記電流決定回路により決定された電流を受けて電圧を発生するべく、前記電流決定回路に対し

てミラー回路を介して接続された電圧発生回路とを有し、前記電圧発生回路から外部に前記基準電圧を供給することを特徴とするバンドギャップレギュレータを提供することにより達成される。

【0017】

【作用】このように、電流決定回路と電圧発生回路とを分離し、電流決定回路からカレントミラー回路を介して供給された電流をもって電圧を発生させることにより、電圧発生用に用いられる抵抗を電流決定回路から取り除くことができるため、該部分のインピーダンスが低減化する。

【0018】

【実施例】以下、本発明の好適実施例を添付の図面について詳しく説明する。

【0019】図1は、本発明が適用された第1の実施例を示すバンドギャップレギュレータの構成回路図である。このバンドギャップレギュレータは、正帰還回路を含む電流決定回路11と、この電流決定回路11により決定された電流を受けて電圧を発生するべくカレントミラー回路12を介して接続された電圧発生回路13とを有している。

【0020】具体的には、バーチカル型のPNPトランジスタQ1のコレクタはサブストレート、ベースは基準電位、エミッタは抵抗R1を介してNchトランジスタQ4のソースに接続されている。NchトランジスタQ4のゲートはNchトランジスタQ5のゲートに接続されている。NchトランジスタQ5のソースはPNPトランジスタQ2のエミッタに接続されている。このPNPトランジスタQ2のベースは基準電位に、コレクタはサブストレートに接続されている。

【0021】NchトランジスタQ4のドレインは、PchトランジスタQ7のドレイン、ゲート及びPchトランジスタQ8のゲートに接続されると共に同様なPc

hトランジスタQ6のゲートに接続されている。PchトランジスタQ6のドレインは、抵抗R3を介してPNPトランジスタQ3のエミッタに接続されている。このPNPトランジスタQ3のベースは基準電位に、コレクタはサブストレートに接続されている。尚、PchトランジスタQ6のドレインと抵抗R3との間には出力端子1が設けられている。

【0022】一方、PchトランジスタQ5のドレインは、そのゲート、NchトランジスタQ4のゲート及びPchトランジスタQ8のドレインに接続されると共にPchトランジスタQ9のドレインに接続されている。また、PchトランジスタQ6、Q7、Q8、Q9のソースは電源2に接続されており、Q9のゲートは起動回路3に接続されている。

【0023】ここで、PNPトランジスタQ2は、PNPトランジスタQ1及びQ3に対してそのエミッタ面積が約10倍程度となっている。また、抵抗R1は抵抗R3に対して10倍程度、実際には抵抗R1が60kΩ、抵抗R3が6kΩ程度となっている。

【0024】次に、本実施例に於けるバンドギャップレギュレータの出力ノイズ及び出力インピーダンスを求める。まず、抵抗R1及びR3にて発生する雑音電圧 $V_{nR1}$ 、 $V_{nR3}$ は

【0025】

【数5】

$$V_{nR1} = \sqrt{4 \cdot K \cdot T \cdot R1 \cdot B}$$

$$V_{nR3} = \sqrt{4 \cdot K \cdot T \cdot R3 \cdot B}$$

【0026】となる。従って、出力端子1に於ける雑音電圧 $V_n$ は、

【0027】

【数6】

$$V_n = \sqrt{4 \cdot K \cdot T \cdot R1 \cdot B + \frac{R1 + \frac{K \cdot T \cdot R1}{0.6V \cdot q}}{R3} \cdot \frac{\frac{K \cdot T \cdot R1}{0.6V \cdot q} + \frac{(V_{gs} - V_{th})}{1.2V}}{R3 + \frac{K \cdot T \cdot R1}{0.6V \cdot q} + \frac{(V_{gs} - V_{th})}{1.2V}} \cdot 4 \cdot K \cdot T \cdot R3 \cdot B}$$

【0028】となる。ここで、 $V_{gs}$ はNchトランジスタQ4、Q5のゲート・ソース間電圧、 $V_{th}$ は閾値電圧である。また、NはPNPトランジスタQ1、Q3に対するPNPトランジスタQ2のエミッタ面積の比（2倍～30倍）である。ここで、 $R1 = 6k\Omega$ 、 $R3 = 60k\Omega$ 、 $N = 10$ 、 $T = 300^\circ K$ 、 $V_{gs} = 0.7V$ 、 $V_{th} = 0.1V$ とすると、

【0029】

【数7】

$$V_n = \sqrt{4 \cdot K \cdot T \cdot (264k\Omega) \cdot B}$$

【0030】となり、従来の雑音電圧 $V_n$ に比較して約

1/7となっている。また、出力インピーダンス $R_{out}$ は、

【0031】

【数8】

$$V_n = R1 + \frac{K \cdot T \cdot R1}{0.6V \cdot q}$$

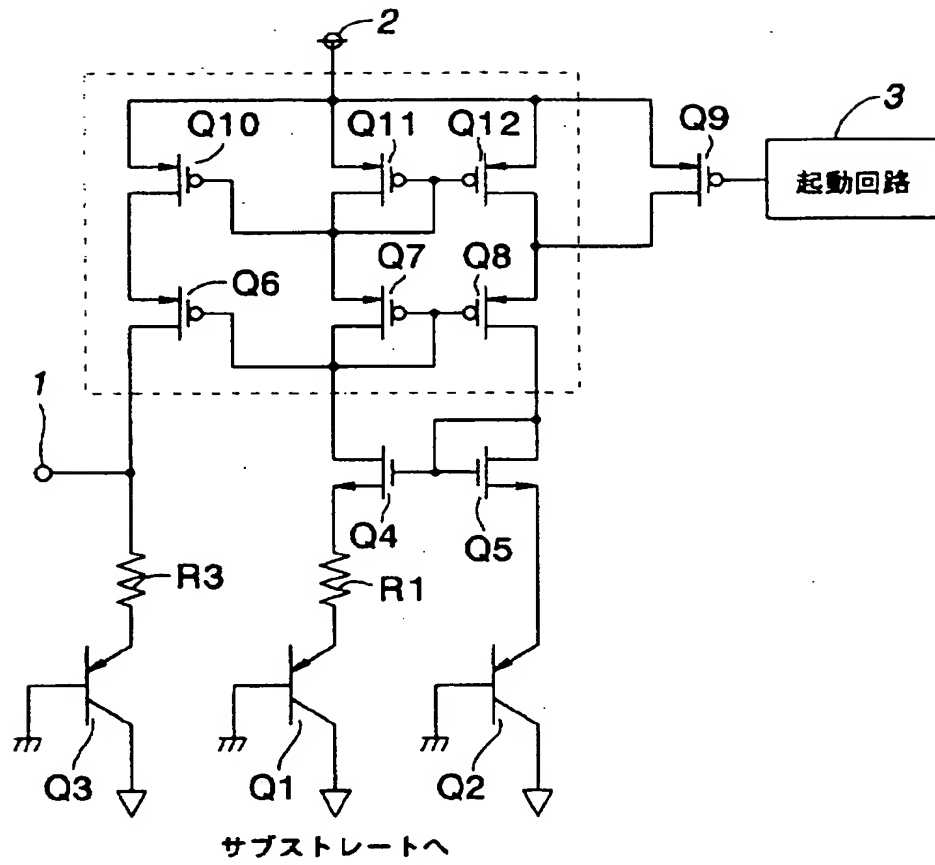
【0032】となり、従来の出力インピーダンス $R_{out}$ に比較して約1/10になっている。

【0033】図2は、本発明が適用された第2の実施例に於けるバンドギャップレギュレータの構成を示す回路図であり、第1の実施例と同様な部分には同一の符号を付しその詳細な説明は省略する。

【0036】本実施例では、カレントミラー回路を構成するPchトランジスタQ6、Q7、Q8のソース・ドレイン間電圧を近付けることによりその電流比をより正確にするためにPchトランジスタQ10、Q11、Q12が設けられている。それ以外の構成は第1の実施例と同様であり、その出力ノイズや出力インピーダンスに関しても同様である。

1 出力端子  
2 電源  
3 起動回路

【図2】



【図 3】

